

盘古 50-PRO 核心板

MES2L50HP

硬件使用手册 V1.0

---

## 版本记录

| 日期         | 版本   | 修改原因 |
|------------|------|------|
| 2023.07.14 | V1.0 | 创建文档 |
|            |      |      |

---

# 目录

|       |                    |    |
|-------|--------------------|----|
| 1     | 核心板概述 .....        | 2  |
| 2     | 系统描述 .....         | 4  |
| 2.1   | FPGA .....         | 4  |
| 2.2   | 电源接口 .....         | 5  |
| 2.3   | 时钟 .....           | 6  |
| 2.3.1 | 125MHz 差分晶振 .....  | 7  |
| 2.3.2 | 27MHz 单端晶振 .....   | 8  |
| 2.4   | 上电 IO Status ..... | 8  |
| 2.5   | JTAG 接口 .....      | 9  |
| 2.6   | DDR3 .....         | 10 |
| 2.7   | QSPI Flash .....   | 12 |
| 2.8   | 扩展 IO .....        | 13 |

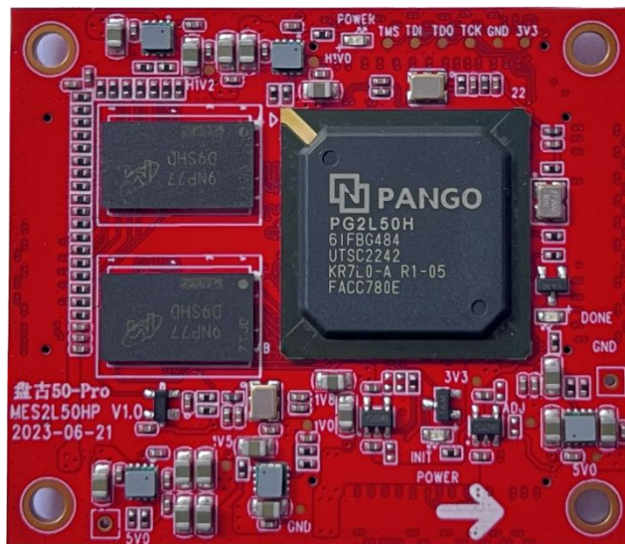
## 1 核心板概述

MES2L50H 核心板是基于多年 FPGA 开发经验, 采用紫光同创 logos2 系列 PG2L50H-FBG 484 作为主控芯片而开发的全新国产高性能 FPGA 核心板, 具有高数据带宽、高存储容量的特点, 适用于视频图像处理、高速数据采集、工业控制等多元应用场景。

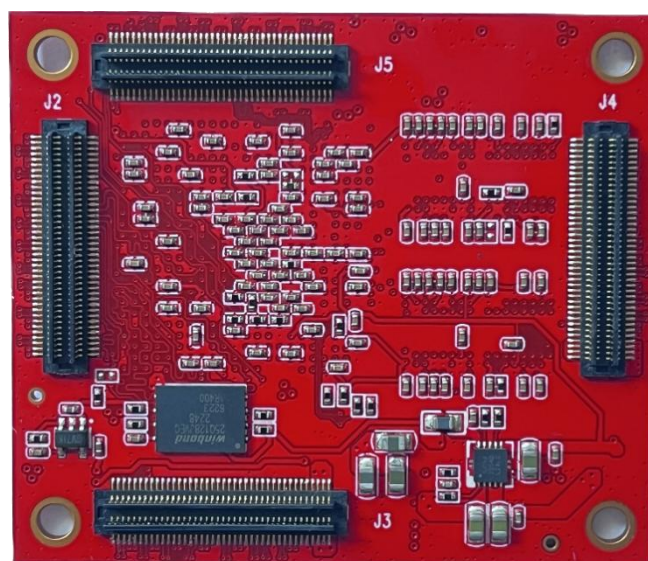
MES2L50H 核心板使用了 2 片 MICRON 公司 MT41K256M16TW-107:P 的 DDR3 芯片, DDR3 总容量 8Gbit, 组合数据总线宽度为 32bit, 最高速率支持 1066Mbps, 完全满足高带宽的数据处理需求。

MES2L50H 核心板电源采用艾诺 DCDC、南京微盟 LDO 方案, QSPI FLASH 采用 winbond 的 W25Q128 芯片, 容量 128Mb, 用于存储 FPGA 启动文件。

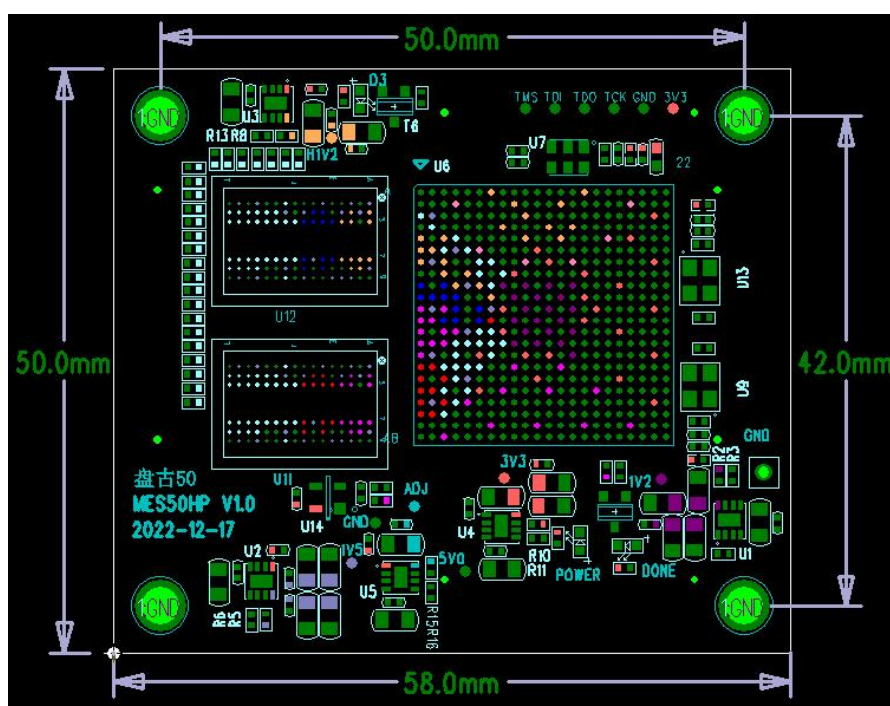
MES2L50H 核心板尺寸仅为 50\*58mm, 扩展出 144 个电平标准为 3.3V 普通 IO 口, 8 个 1.5V 电平标准的普通 IO 口, 1 对 ADC 接口, 1 组 JTAG 接口, 还有 4 对 HSST 高速 RX/TX 差分信号和 1 对 HSST 高速接口的参考输入时钟。完全满足需要大量 IO 的用户, 而且, FPGA 芯片到接口之间走线做了等长和差分处理, 非常适合二次开发。



MES2L50H 核心板正面图片



MES2L50H 核心板背面图片



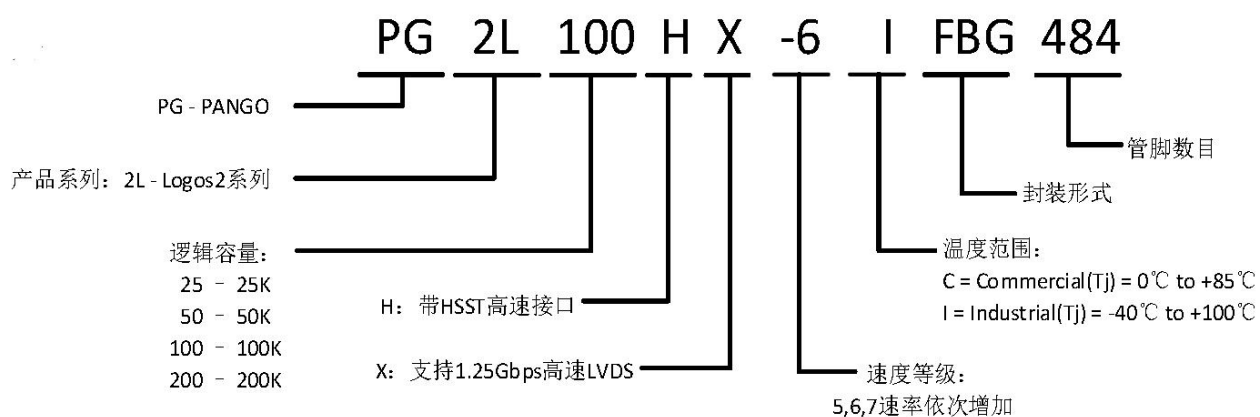
MES2L50H 核心板尺寸图

## 2 系统描述

### 2.1 FPGA

FPGA 型号为 PG2L50H-6IFBG484, 属于紫光同创 logos2 系列产品, 速度等级为 6, 温度范围: 工业级 (-40~100°C), FBG 封装, 管脚数目 484。

紫光同创 Logos 系列 FPGA 产品型号的编号内容及意义如下:



PG2L50H-FBG484 的主要参数如下:

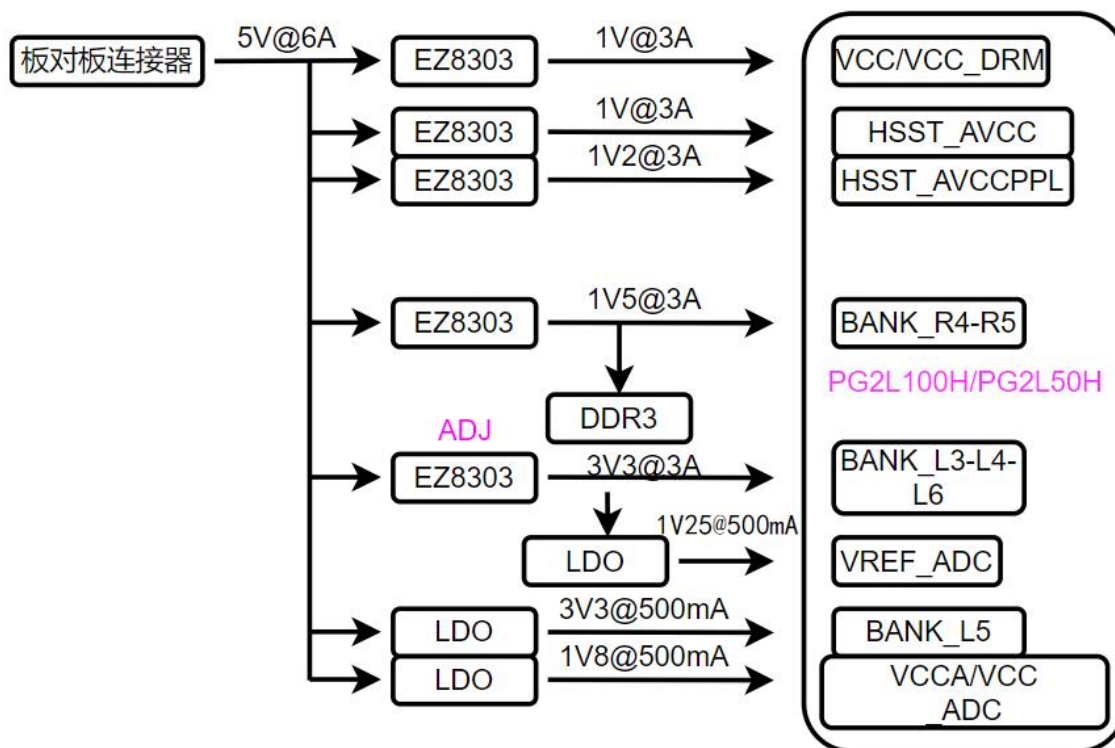
| 盘古 50Pro VS 盘古 50 核心板 主要参数 |                  |       |                  |       |
|----------------------------|------------------|-------|------------------|-------|
| 盘古 50Pro                   |                  |       | 盘古 50            |       |
| 资源                         |                  | 参数    | 资源               | 参数    |
| 主控芯片                       | PG2L50H-FBG484   |       | PGL50H-6IFBG484  |       |
| 工艺                         | 28nm 工艺          | 28nm  | 40nm 工艺          | 40nm  |
| 逻辑资源                       | 触发器 (FF)         | 71600 | 触发器 (FF)         | 64200 |
|                            | 等效 LUT4          | 53700 | 等效 LUT4          | 51360 |
| RAM 资源                     | 分布式 RAM (Kbit)   | 742   | 分布式 RAM (Kbit)   | 544   |
|                            | 块 RAM 数量 (36K/块) | 85    | 块 RAM 数量 (18K/块) | 134   |
|                            | 块 RAM (Kbit)     | 3060  | 块 RAM (Kbit)     | 2412  |
| 时钟资源                       | GPPLL+PLL        | 5+5   | PLL              | 5     |
| 硬核资源                       | APM (25*18 乘法器)  | 120   | APM (18*18 乘法器)  | 84    |
|                            | ADC              | 1     | ADC              | \     |
|                            | AES              | 1     | AES              | 1     |
|                            | HSST (6.6G)      | 4     | HSST (6.375G)    | 4     |
|                            | PCIE Gen2*4      | 1     | PCIE Gen2*4      | 1     |
| IO 资源                      | 用户 IO            | 250   | 用户 IO            | 296   |

## 2.2

### 2.3 电源接口

MES2L50H 核心板供电电压为 VCCIN, 输入电压为 5V, 需通过板对板连接器供电, 连接底板时通过底板供电。板上的电源设计示意图如下图所示:

系统的电源网络如下图:



各个电源的功能作用如下表:

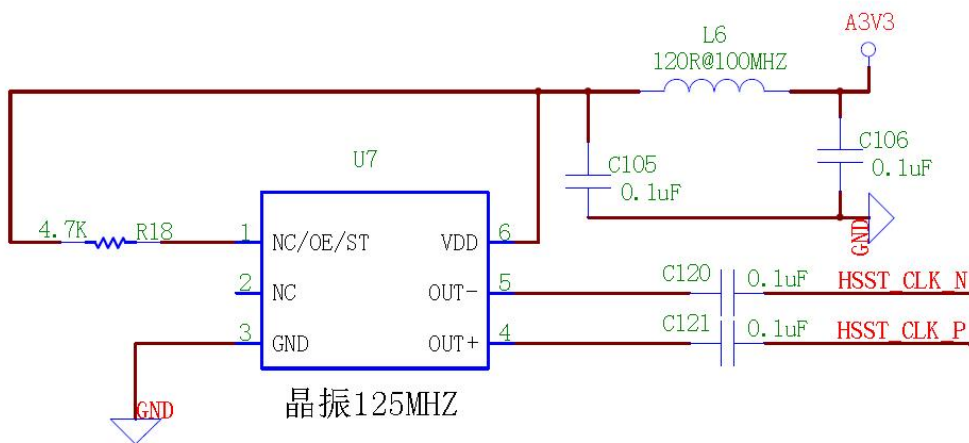
| 电源          | 功能用途                           |
|-------------|--------------------------------|
| 5.0V        | 低电压 DC-DC 的电源;                 |
| 1.0V        | VCC 内核电压;                      |
| HSST_1.0V   | PG2L50H HSST 收发器通道及锁相环电源       |
| 1.5V        | DDR3 供电电压及 Bank R4、Bank R5 电源; |
| 1.8V        | 辅助电源                           |
| 3.3V        | I/O 电压, 部分接口 (晶振, FLASH) 供电电压  |
| VTT(0.75V)  | DDR3 控制线与地址线的上拉电压, 保持信号完整性;    |
| VREF(0.75V) | DDR3 参考电压;                     |

## 2.4 时钟

MES2L50H 核心板上配有 2 个 125MHz 有源差分晶振和 1 个单端 27MHz 晶振。一个 125M 差分晶振用于 HSST 收发器的参考时钟输入, 另一个 125M 差分晶振和单端 27MHz 用于 FPGA 的系统时钟源。

### 2.4.1 125MHz 差分晶振

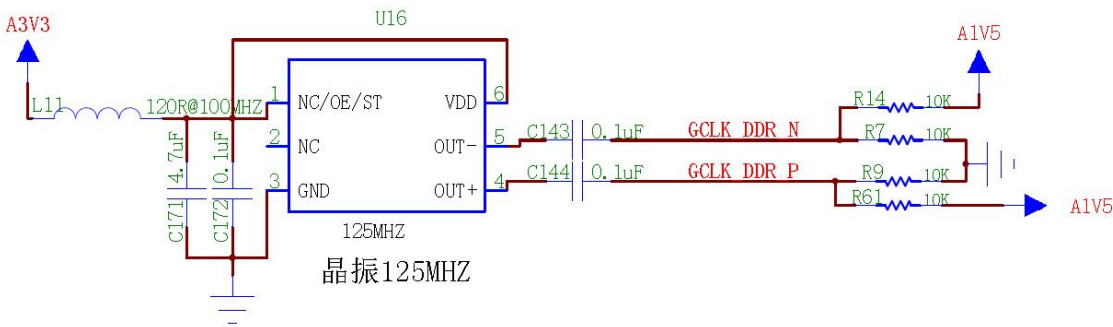
下图中的 U7 为 125M 有源差分晶振电路, 此时钟是给 FPGA 内部的 HSST 模块提供的参考输入时钟。晶振输出连接到 FPGA HSST BANK 的时钟管脚上。



具体管脚分配请看下表:

| 信号         | PG2L50H Pin |
|------------|-------------|
| HSST_CLK_P | F6          |
| HSST_CLK_N | E6          |

下图中的 U16 为 125M 有源差分晶振电路, 此时钟是给 FPGA 内部的逻辑提供时钟输入, 可用于逻辑设计或是通过 PLL 来产生不同频率的时钟。

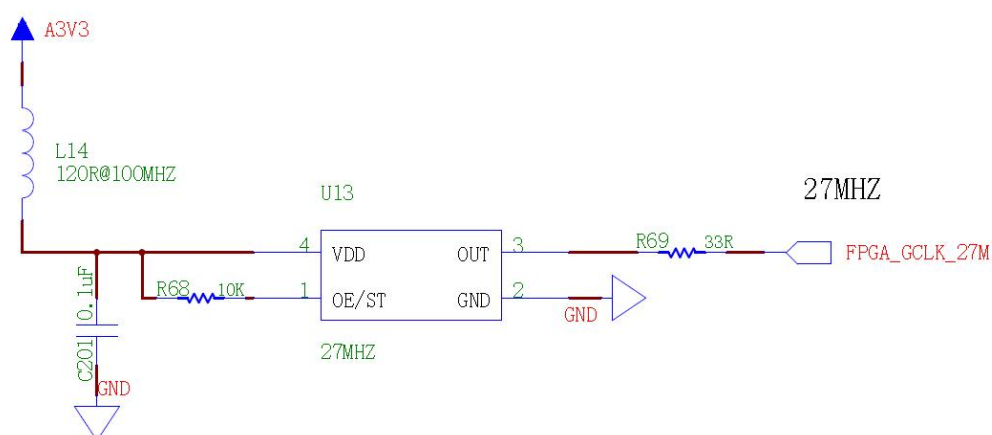


具体管脚分配请看下表:

| 信号         | PG2L50H Pin |
|------------|-------------|
| GCLK_DDR_P | V4          |
| GCLK_DDR_N | W4          |

## 2.4.2 27MHz 单端晶振

下图为有源单端晶振电路, 这个时钟是给 FPGA 内部的逻辑提供时钟输入, 可用于逻辑设计或是通过 PLL 来产生不同频率的时钟。



具体管脚分配请看下表:

| 信号            | PG2L50H Pin |
|---------------|-------------|
| FPGA_GCLK_27M | Y18         |

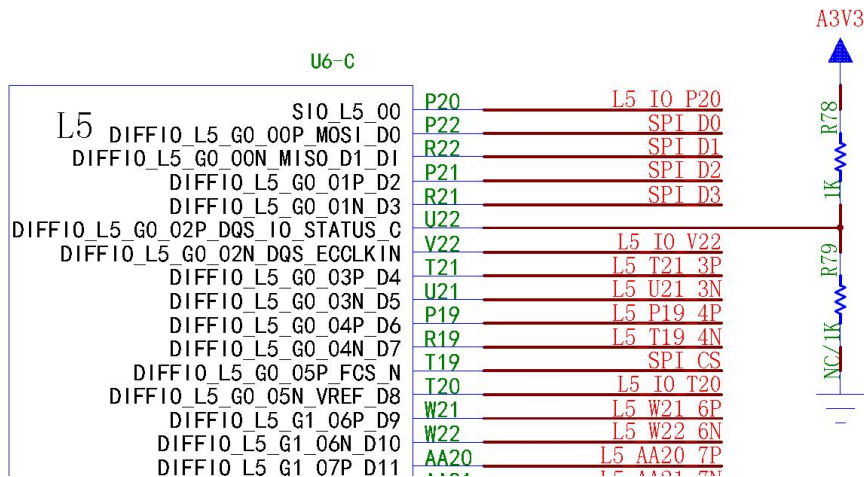
## 2.5 上电 IO Status

在 Logos2 器件上有一个功能复用 IO, 控制从上电完成后到进入用户模式之前中所有用户 IO 的弱上拉电阻是否使能。此管脚在配置之前或是配置过程中, 该引脚不允许悬空, 此 IO 在上电后的对应功能如下:

- (1) “0”, 使能所有用户 IO 内部上拉电阻。
- (2) “1”, 不使能所有用户 IO 内部上拉电阻。

MES2L50H 核心板将此管脚的功能默认接 GND, 用户可根据需求, 自行焊接电阻选择上电后初始的 IO 状态;

功能电路如下:



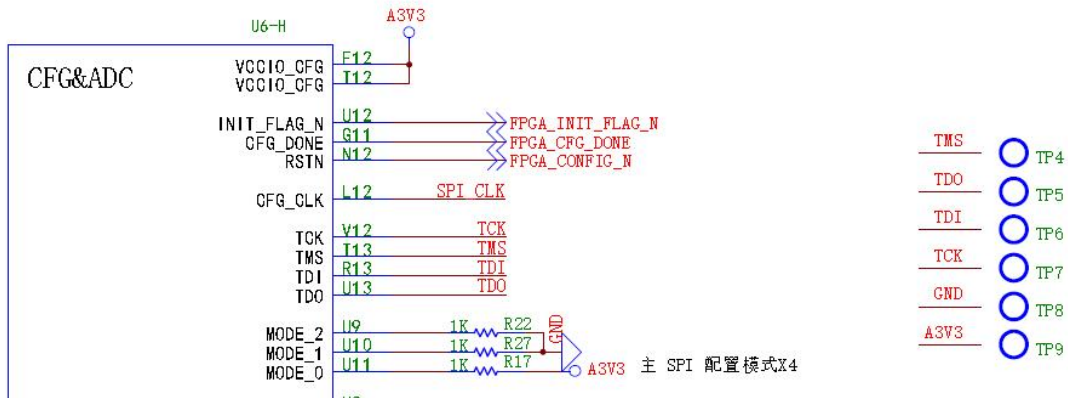
IO Status 配置电路

## 2.6 JTAG 接口

MES2L50H 核心板正面左上角预留 JTAG 触点, 可在没有底板的情况下调试核心板。扩展 IO 的 JTAG 在 J5 扩展口, 用于下载 FPGA 程序或者固化程序到 FLASH。



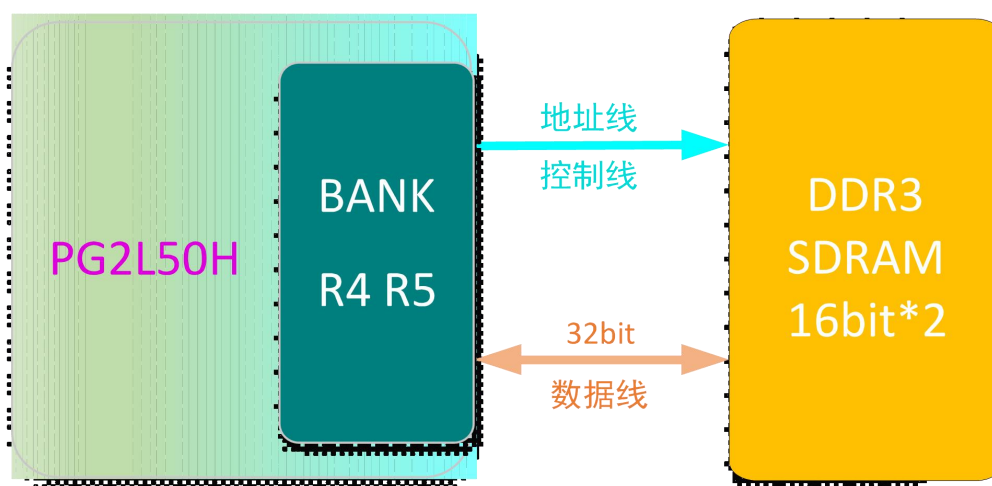
MES2L50H 核心板正面右上角



JTAG 接口电路

## 2.7 DDR3

MES2L50H 核心板上配有两个 Micron 公司的 4Gbit (512MB) 的 DDR3 芯片(共计 8Gbit), 型号为 MT41K256M16TW-107:P (兼容 Micron MT41K256M16HA-125)。DDR 的总线宽度共为 32bit。DDR3 SDRAM 的最高运行时钟速度可达 533MHz(数据速率 1066Mbps)。该 DDR3 存储系统直接连接到了 FPGA 的 BANK R4 R5, 在电路设计和 PCB 设计时已充分考虑匹配电阻/终端电阻, 走线阻抗控制, 走线等长控制, 保证 DDR3 高速稳定的工作。DDR3 DRAM 的硬件连接示意图如下图所示:



DDR3 布线采用 50 欧姆走线阻抗用于单端信号, DCI 电阻 (VRP / VRN) 以及差分时钟设置为 100 欧姆。每个 DDR3 芯片在 ZQ 上采用 240 欧姆电阻下拉。DDR-VDDQ 设置为 1.5V, 以支持所选的 DDR3 器件。DDR-VTT 是与 DDR-VDDQ 始终电压跟随, 保持为  $\frac{1}{2}$  倍 DDR-VDDQ 的电压值。DDR-VREF 是一个独立的缓冲输出, 等于  $\frac{1}{2}$  倍 DDR-VDDQ 的电压。DDR-VREF 是隔离的, 可为 DDR 电平转换提供更清晰的参考。

DDR3 的具体管脚分配如下:

| 信号名称         | PG2L50H 管脚 | 信号名称          | PG2L50H 管脚 |
|--------------|------------|---------------|------------|
| ddr3_addr[0] | Y6         | ddr3_addr[14] | AA1        |

|               |     |               |     |
|---------------|-----|---------------|-----|
| ddr3_addr[1]  | AA5 | ddr3_addr[15] | AB1 |
| ddr3_addr[2]  | Y3  | ddr3_ba[0]    | W2  |
| ddr3_addr[3]  | W1  | ddr3_ba[1]    | AB5 |
| ddr3_addr[4]  | AB6 | ddr3_ba[2]    | Y7  |
| ddr3_addr[5]  | U1  | ddr3_cas_n    | W6  |
| ddr3_addr[6]  | AB7 | ddr3_ck_n     | AA4 |
| ddr3_addr[7]  | U2  | ddr3_ck_p     | Y4  |
| ddr3_addr[8]  | AB8 | ddr3_cke      | AB3 |
| ddr3_addr[9]  | Y2  | ddr3_cs_n     | W5  |
| ddr3_addr[10] | AB2 | ddr3_odt      | V2  |
| ddr3_addr[11] | AA3 | ddr3_ras_n    | AA8 |
| ddr3_addr[12] | AA6 | ddr3_reset_n  | U3  |
| ddr3_addr[13] | Y1  | ddr3_we_n     | Y8  |
| ddr3_dm[0]    | L5  | ddr3_dm[2]    | F3  |
| ddr3_dm[1]    | N2  | ddr3_dm[3]    | H3  |
| ddr3_dq[0]    | K4  | ddr3_dq[16]   | C2  |
| ddr3_dq[1]    | L4  | ddr3_dq[17]   | E2  |
| ddr3_dq[2]    | J6  | ddr3_dq[18]   | B2  |
| ddr3_dq[3]    | M3  | ddr3_dq[19]   | F1  |
| ddr3_dq[4]    | K3  | ddr3_dq[20]   | B1  |
| ddr3_dq[5]    | M2  | ddr3_dq[21]   | G1  |
| ddr3_dq[6]    | J4  | ddr3_dq[22]   | A1  |
| ddr3_dq[7]    | L3  | ddr3_dq[23]   | D2  |
| ddr3_dq[8]    | P1  | ddr3_dq[24]   | H2  |
| ddr3_dq[9]    | N4  | ddr3_dq[25]   | H4  |
| ddr3_dq[10]   | R1  | ddr3_dq[26]   | K1  |
| ddr3_dq[11]   | M5  | ddr3_dq[27]   | G3  |
| ddr3_dq[12]   | P2  | ddr3_dq[28]   | J5  |
| ddr3_dq[13]   | M6  | ddr3_dq[29]   | G4  |

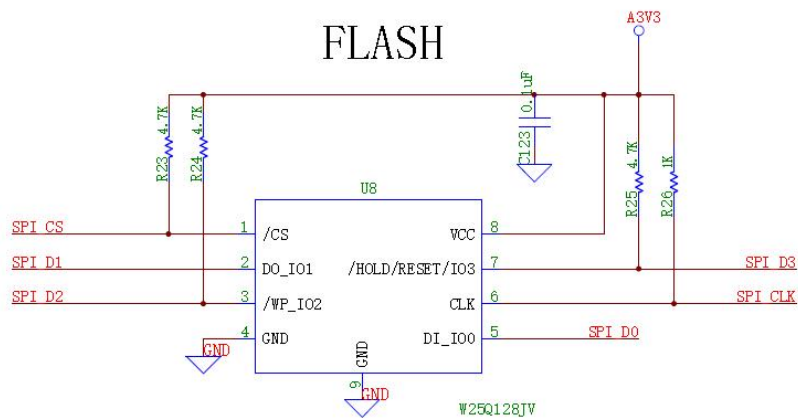
|               |    |               |    |
|---------------|----|---------------|----|
| ddr3_dq[14]   | P6 | ddr3_dq[30]   | J1 |
| ddr3_dq[15]   | N5 | ddr3_dq[31]   | G2 |
| ddr3_dqs_p[0] | M1 | ddr3_dqs_n[0] | L1 |
| ddr3_dqs_p[1] | P5 | ddr3_dqs_n[1] | P4 |
| ddr3_dqs_P[2] | E1 | ddr3_dqs_n[2] | D1 |
| ddr3_dqs_P[3] | K2 | ddr3_dqs_n[3] | J2 |

## 2.8 QSPI Flash

MES2L50H 核心板具有 4 位 SPI (QSPI) 串行 Nor 闪存, 采用的 winbond 的 W25Q128。

连接在 PG2L50H 的特定引脚上, 采用 3.3V 电平标准。

QSPI 的电路连接如下:

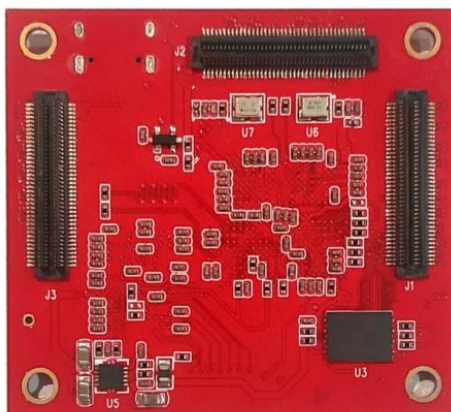


QSPI Flash 管脚分配如下

| 信号  | 描述     | PG2L50H Pin | QSPI Pin |
|-----|--------|-------------|----------|
| CS  | 片选     | T19         | 1        |
| DQ0 | 数据位 0  | P22         | 5        |
| DQ1 | 数据位 1  | R22         | 2        |
| DQ2 | 数据位 2  | P21         | 3        |
| DQ3 | 数据位 3  | R21         | 7        |
| SCK | 串行数据时钟 | L12         | 6        |

## 2.9 扩展 IO

MES2L50H 核心板背面共有 4 个 80pin 高速扩展口 J2/J3/J4/J5, pin 间距 0.5mm,FPGA 的 IO 通过 3 个扩展口与底板连接, 实现高速数据通信。



扩展口 J2:

| J2 管脚 | 网络名称        | FPGA 管脚 | J2 管脚 | 网络名称       | FPGA 管脚 |
|-------|-------------|---------|-------|------------|---------|
| 1     | L4_IO_M17   | M17     | 2     | L4_M18_15P | M18     |
| 3     | L4_IO_J16   | J16     | 4     | L4_L18_15N | L18     |
| 5     | L4_N20_17P  | N20     | 6     | L4_M15_23P | M15     |
| 7     | L4_M20_17N  | M20     | 8     | L4_M16_23N | M16     |
| 9     | GND         |         | 10    | GND        |         |
| 11    | L4_N18_16P  | N18     | 12    | L4_L14_21P | L14     |
| 13    | L4_N19_16N  | N19     | 14    | L4_L15_21N | L15     |
| 15    | L4_N22_14P  | N22     | 16    | L4_M13_19P | M13     |
| 17    | L4_M22_14N  | M22     | 18    | L4_L13_19N | L13     |
| 19    | GND         |         | 20    | GND        |         |
| 21    | L4_M21_9P   | M21     | 22    | L4_K21_8P  | K21     |
| 23    | L4_L21_9N   | L21     | 24    | L4_K22_8N  | K22     |
| 25    | L4_K18_GCLK | K18     | 26    | L4_L19_13P | L19     |
| 27    | NC          |         | 28    | L4_L20_13N | L20     |
| 29    | GND         |         | 30    | GND        |         |
| 31    | NC          |         | 32    | L4_K17_20P | K17     |
| 33    | NC          |         | 34    | L4_J17_20N | J17     |
| 35    | NC          |         | 36    | L4_L16_22P | L16     |

|           |            |     |           |            |     |
|-----------|------------|-----|-----------|------------|-----|
| <b>37</b> | NC         |     | <b>38</b> | L4_K16_22N | K16 |
| <b>39</b> | NC         |     | <b>40</b> | L4_K13_18P | K13 |
| <b>41</b> | NC         |     | <b>42</b> | L4_K14_18N | K14 |
| <b>43</b> | NC         |     | <b>44</b> | L4_J22_6P  | J22 |
| <b>45</b> | L5_IO_Y19  | Y19 | <b>46</b> | L4_H22_6N  | H22 |
| <b>47</b> | L5_IO_W20  | W20 | <b>48</b> | L4_J20_10P | J20 |
| <b>49</b> | L5_IO_V22  | V22 | <b>50</b> | L4_J21_10N | J21 |
| <b>51</b> | L5_IO_T20  | T20 | <b>52</b> | L4_H17_5P  | H17 |
| <b>53</b> | L5_IO_P20  | P20 | <b>54</b> | L4_H18_5N  | H18 |
| <b>55</b> | L5_IO_N15  | N15 | <b>56</b> | L4_J15_4P  | J15 |
| <b>57</b> | L4_J19_11P | J19 | <b>58</b> | L4_H15_4N  | H15 |
| <b>59</b> | L4_H19_11N | H19 | <b>60</b> | L4_H20_7P  | H20 |
| <b>61</b> | NC         |     | <b>62</b> | L4_G20_7N  | G20 |
| <b>63</b> | GND        |     | <b>64</b> | GND        |     |
| <b>65</b> | NC         |     | <b>66</b> | L4_G17_3P  | G17 |
| <b>67</b> | NC         |     | <b>68</b> | L4_G18_3N  | G18 |
| <b>69</b> | L4_G15_1P  | G15 | <b>70</b> | L3_IO_F21  | F21 |
| <b>71</b> | L4_G16_1N  | G16 | <b>72</b> | L3_IO_F15  | F15 |
| <b>73</b> | L4_J14_2P  | J14 | <b>74</b> | L3_G21_23P | G21 |
| <b>75</b> | L4_H14_2N  | H14 | <b>76</b> | L3_G22_23N | G22 |
| <b>77</b> | L4_H13_0P  | H13 | <b>78</b> | L3_F19_17P | F19 |
| <b>79</b> | L4_G13_0N  | G13 | <b>80</b> | L3_F20_17N | F20 |
| <b>81</b> | NC         |     | <b>82</b> | NC         |     |

扩展口 J3:

| J3 管脚     | 网络名称 | FPGA 管脚 | J3 管脚     | 网络名称 | FPGA 管脚 |
|-----------|------|---------|-----------|------|---------|
| <b>1</b>  | 5V   |         | <b>2</b>  | 5V   |         |
| <b>3</b>  |      |         | <b>4</b>  |      |         |
| <b>5</b>  |      |         | <b>6</b>  |      |         |
| <b>7</b>  |      |         | <b>8</b>  |      |         |
| <b>9</b>  | GND  |         | <b>10</b> | GND  |         |
| <b>11</b> | /    |         | <b>12</b> | GND  |         |
| <b>13</b> | /    |         | <b>14</b> | /    |         |
| <b>15</b> | /    |         | <b>16</b> | /    |         |
| <b>17</b> | /    |         | <b>18</b> | /    |         |
| <b>19</b> | /    |         | <b>20</b> | /    |         |

|    |             |     |    |             |      |
|----|-------------|-----|----|-------------|------|
| 21 | GND         |     | 22 | GND         |      |
| 23 | /           |     | 24 | /           |      |
| 25 | /           |     | 26 | /           |      |
| 27 | /           |     | 28 | /           |      |
| 29 | /           |     | 30 | /           |      |
| 31 | GND         |     | 32 | GND         |      |
| 33 | /           |     | 34 | /           |      |
| 35 | /           |     | 36 | /           |      |
| 37 | /           |     | 38 | /           |      |
| 39 | L5_W19_GCLK | W19 | 40 | /           |      |
| 41 | GND         |     | 42 | GND         |      |
| 43 | L5_P15_21P  | P15 | 44 | L5_R14_18N  | R14  |
| 45 | L5_R16_21N  | R16 | 46 | L5_P16_23P  | P16  |
| 47 | L5_N17_20P  | N17 | 48 | L5_R17_23N  | R17  |
| 49 | L5_P17_20N  | P17 | 50 | L5_V17_15P  | V17  |
| 51 | GND         |     | 52 | GND         |      |
| 53 | L5_P19_4P   | P19 | 54 | L5_W17_15N  | W17  |
| 55 | L5_T19_4N   | T19 | 56 | L5_AA18_16P | AA18 |
| 57 | L5_U17_17P  | U17 | 58 | L5_AB18_16N | AB18 |
| 59 | L5_U18_17N  | U18 | 60 | L5_V18_13P  | V18  |
| 61 | L5_R18_19P  | R18 | 62 | L5_V19_13N  | V19  |
| 63 | L5_T18_19N  | T18 | 64 | L5_AA19_14P | AA19 |
| 65 | L5_N13_22P  | N13 | 66 | L5_AB20_14N | AB20 |
| 67 | L5_N14_22N  | N14 | 68 | L5_AA20_7P  | AA20 |
| 69 | L5_U20_10P  | U20 | 70 | L5_AA21_7N  | AA21 |
| 71 | L5_V20_10N  | V20 | 72 | L5_AB21_9P  | AB21 |
| 73 | L5_T21_3P   | T21 | 74 | L5_AB22_9N  | AB22 |
| 75 | L5_U21_3N   | U21 | 76 | L5_Y21_8P   | Y21  |
| 77 | L5_W21_6P   | W21 | 78 | L5_Y22_8N   | Y22  |
| 79 | L5_W22_6N   | W22 | 80 | GND         |      |
| 81 | NC          |     | 82 | NC          |      |

扩展口 J4:

| J4 管脚 | 网络名称 | FPGA 管脚 | J4 管脚 | 网络名称 | FPGA 管脚 |
|-------|------|---------|-------|------|---------|
|-------|------|---------|-------|------|---------|

|     |           |     |    |      |          |
|-----|-----------|-----|----|------|----------|
| 1   | 5V        |     | 2  | 5V   |          |
| 3   |           |     | 4  |      |          |
| 5   |           |     | 6  |      |          |
| 7   |           |     | 8  |      |          |
| 9   | GND       |     | 10 | GND  |          |
| 11  | ADC_P     | L10 | 12 | NC   |          |
| 13  | ADC_N     | M9  | 14 | REST | 复位信号,低有效 |
| 15  | /         |     | 16 | /    |          |
| 17  | /         |     | 18 | /    |          |
| 19  | GND       |     | 20 | GND  |          |
| 21* | R5_V9_20P | V9  | 22 | /    |          |
| 23* | R5_V8_20N | V8  | 24 | /    |          |
| 25* | R5_W9_23P | W9  | 26 | /    |          |
| 27* | R5_Y9_23N | Y9  | 28 | /    |          |
| 29  | GND       |     | 30 | GND  |          |
| 31* | R5_R3_2P  | R3  | 32 | /    |          |
| 33* | R5_R2_2N  | R2  | 34 | /    |          |
| 35* | R5_R4_12P | R4  | 36 | /    |          |
| 37* | R5_T4_12N | T4  | 38 | /    |          |
| 39  | GND       |     | 40 | GND  |          |
| 41  | L5_IO_P14 | P14 | 42 | NC   |          |
| 43  | L4_IO_K19 | K19 | 44 |      |          |
| 45  | GND       |     | 46 | GND  |          |
| 47  | NC        |     | 48 | NC   |          |
| 49  | GND       |     | 50 | GND  |          |
| 51  | NC        |     | 52 | NC   |          |
| 53  | GND       |     | 54 | GND  |          |
| 55  | NC        |     | 56 | NC   |          |
| 57  |           |     | 58 |      |          |
| 59  | GND       |     | 60 | GND  |          |
| 61  | NC        |     | 62 | NC   |          |
| 63  |           |     | 64 |      |          |
| 65  | GND       |     | 66 | GND  |          |
| 67  | NC        |     | 68 | NC   |          |
| 69  | GND       |     | 70 | GND  |          |

|    |     |    |     |
|----|-----|----|-----|
| 71 | NC  | 72 | NC  |
| 73 |     | 74 |     |
| 75 |     | 76 |     |
| 77 |     | 78 |     |
| 79 | GND | 80 | GND |
| 81 | NC  | 82 | NC  |

注：“\*” 标 IO 为 1.5V 电平标准, 其他 IO 为 3.3V 电平标准;

扩展口 J5:

| J5 管脚 | 网络名称      | FPGA 管脚 | J5 管脚 | 网络名称       | FPGA 管脚 |
|-------|-----------|---------|-------|------------|---------|
| 1     | L3_C13_7P | C13     | 2     | L3_F13_0P  | F13     |
| 3     | L3_B13_7N | B13     | 4     | L3_F14_0N  | F14     |
| 5     | L3_C14_2P | C14     | 6     | L3_E13_3P  | E13     |
| 7     | L3_C15_2N | C15     | 8     | L3_E14_3N  | E14     |
| 9     | L3_D14_5P | D14     | 10    | L3_E16_4P  | E16     |
| 11    | L3_D15_5N | D15     | 12    | L3_D16_4N  | D16     |
| 13    | GND       |         | 14    | GND        |         |
| 15    | MGT_TX0_P | D7      | 16    | MGT_RX0_P  | D9      |
| 17    | MGT_TX0_N | C7      | 18    | MGT_RX0_N  | C9      |
| 19    | GND       |         | 20    | GND        |         |
| 21    | MGT_TX1_P | B6      | 22    | MGT_RX1_P  | B10     |
| 23    | MGT_TX1_N | A6      | 24    | MGT_RX1_N  | A10     |
| 25    | GND       |         | 26    | GND        |         |
| 27    | MGT_CLK_P | F10     | 28    | MGT_RX2_P  | C5      |
| 29    | MGT_CLK_N | E10     | 30    | MGT_RX2_N  | D5      |
| 31    | GND       |         | 32    | GND        |         |
| 33    | MGT_TX2_P | C11     | 34    | MGT_RX3_P  | A4      |
| 35    | MGT_TX2_N | D11     | 36    | MGT_RX3_N  | B4      |
| 37    | GND       |         | 38    | GND        |         |
| 39    | MGT_TX3_P | A8      | 40    | L3_F16_1P  | F16     |
| 41    | MGT_TX3_N | B8      | 42    | L3_E17_1N  | E17     |
| 43    | GND       |         | 44    | GND        |         |
| 45    | L3_A13_9P | A13     | 46    | L3_D17_11P | D17     |

|    |            |     |    |            |     |
|----|------------|-----|----|------------|-----|
| 47 | L3_A14_9N  | A14 | 48 | L3_C17_11N | C17 |
| 49 | L3_A15_8P  | A15 | 50 | L3_F18_14P | F18 |
| 51 | L3_A16_8N  | A16 | 52 | L3_E18_14N | E18 |
| 53 | L3_B15_6P  | B15 | 54 | L3_B17_10  | B17 |
| 55 | L3_B16_6N  | B16 | 56 | L3_B18_10N | B18 |
| 57 | L3_C18_12P | C18 | 58 | L3_E19_13P | E19 |
| 59 | L3_C19_12N | C19 | 60 | L3_D19_13N | D19 |
| 61 | GND        |     | 62 | GND        |     |
| 63 | L3_A18_16P | A18 | 64 | L3_D20_18P | D20 |
| 65 | L3_A19_16N | A19 | 66 | L3_C20_18N | C20 |
| 67 | L3_B20_15P | B20 | 68 | L3_E21_22P | E21 |
| 69 | L3_A20_15N | A20 | 70 | L3_D21_22N | D21 |
| 71 | L3_B21_20P | B21 | 72 | L3_C22_19P | C22 |
| 73 | L3_A21_20N | A21 | 74 | L3_B22_19N | B22 |
| 75 | L3_D22_21N | D22 | 76 | L3_E22_21P | E22 |
| 77 | TDI        |     | 78 | TCK        |     |
| 79 | TMS        |     | 80 | TMS        |     |
| 81 | NC         |     | 82 | NC         |     |